



(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03050651 A

(43) Date of publication of application: 05.03.91

(51) Int. Cl. G06F 12/10

(21) Application number: 01185749

(22) Date of filing: 18.07.89

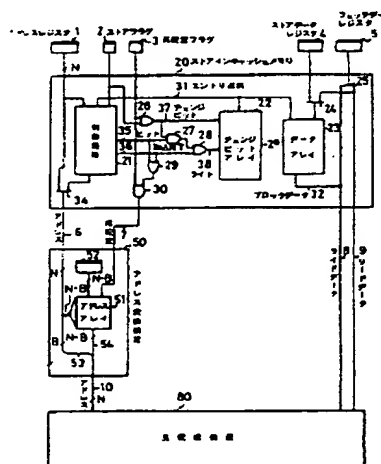
(71) Applicant: HITACHI LTD HITACHI MICRO
COMPUT ENG LTD(72) Inventor: IZAWA SATOSHI
WATABE SHINYA
KANEKO SEIJI(54) STORAGE REARRANGING METHOD AND
HIERARCHICAL STORAGE SYSTEM

(57) Abstract:

PURPOSE: To attain a change while a system is operated by fetching the content of a storage device, which corresponds to an absolute address being the object of rearrangement, into a cache memory and changing an address conversion means in such a way that an insulating address corresponds to a new physical address.

CONSTITUTION: Information on a physical address area being the object of rearrangement in a storage rearrangement is fetched in the block of a storing-in cache memory 20, and the physical address of the storage device, which are made to correspond to the absolute address concerned, is changed. The address conversion device 50 which makes the absolute address to correspond to the physical address is used as a means for changing address correspondence and the content is set to dynamically changed. Since information on a rearrangement source, namely, information on the address area being the object of the change of the physical address is fetched in the memory 20 before the physical address is changed, information included in the address area of the object of rearrangement can be read and written by using information stored in the memory 20 even if a processing for changing the physical address is executed. Then, the reading and writing at that time is prevented from being prohibited and a normal processing is prevented from being delayed.

COPYRIGHT: (C)1991,JPO&Japio



Best Available Copy

⑫ 公開特許公報(A) 平3-50651

⑪ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月5日

G 06 F 12/10

J

7232-5B

審査請求 未請求 請求項の数 6 (全16頁)

⑭ 発明の名称 記憶再配置方法および階層化記憶システム

⑮ 特 願 平1-185749

⑯ 出 願 平1(1989)7月18日

⑰ 発 明 者 井 沢 聡 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑰ 発 明 者 渡 部 真 也 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑰ 発 明 者 金 子 誠 司 神奈川県川崎市麻生区王禅寺1099 株式会社日立製作所システム開発研究所内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町5丁目22番1号

⑰ 代 理 人 弁理士 富田 和子

明 細 書

1. 発明の名称

記憶再配置方法および階層化記憶システム

2. 特許請求の範囲

1. 物理アドレスが付与された記憶装置と、絶対アドレスで管理され前記記憶装置の一部の写しを保持するキャッシュメモリと、前記絶対アドレスを物理アドレスに対応付けるアドレス変換手段とを有する記憶システムにおいて前記物理アドレスが付与された記憶装置を再配置する記憶再配置方法であって、

再配置の対象となる絶対アドレス領域に対応する前記記憶装置の物理アドレス領域の内容を前記キャッシュメモリに取り込んだ後、当該絶対アドレス領域を新たな物理アドレス領域に対応付けるよう前記アドレス変換手段の対応付けを変更し、その後、前記キャッシュメモリに取り込まれた内容を、当該内容の更新の有無にかかわらず、前記アドレス変換手段によって前記特定の絶対アドレスに新たに対応付けられた物

理アドレス領域に書き戻すことを特徴とする記憶再配置方法。

2. 記憶装置の内容の写しを保持するストアイン方式のキャッシュメモリと、絶対アドレスを物理アドレスに対応付けるアドレス変換手段とを利用した記憶装置の記憶再配置方法であって、

再配置元の記憶装置の内容を前記キャッシュメモリに取り込んだ後、当該キャッシュメモリのブロックの内容が記憶装置の内容と異なることを示す情報を保持するとともに、当該再配置元の記憶装置の物理アドレスに対応する絶対アドレスが再配置先の記憶装置の物理アドレスに対応付けられるように前記アドレス変換手段のアドレス対応付けを変更することを特徴とする記憶再配置方法。

3. 記憶装置の内容の写しを保持するストアイン方式のキャッシュメモリと、絶対アドレスを物理アドレスに対応付けるアドレス変換手段とを利用して記憶装置の再配置をシステム稼働中に行う記憶再配置方法であって、

上位装置からの再配置のリクエストに応じて、再配置元の記憶情報を前記キャッシュメモリへ取り込み、該取り込んだ記憶情報の書き戻し先を再配置先に変更するよう前記アドレス変換手段のアドレス対応付けを変更することを特徴とする記憶再配置方法。

4. 記憶装置と、該記憶装置の内容の写しを複数のブロックに保持するスタイン方式のキャッシュメモリと、絶対アドレスを物理アドレスに対応付けるアドレス変換手段とを備えた階層化記憶システムにおいて、

前記記憶装置に対するリクエストとして、フェッチリクエストおよびストアリクエストに加え、再配置リクエストを用意し、該再配置リクエストに対しては、再配置元の記憶情報を前記キャッシュメモリの1ブロックに取り込むとともに該ブロックのチェンジビットを“変更”状態とする手段と、該取り込んだ記憶情報の書き戻し先を再配置先に変更するよう前記アドレス変換手段のアドレス対応付けを変更する手段と

変換手段を制御する手段と

を設けたことを特徴とする階層化記憶システム。

6. 記憶装置と、予め定められた記憶分割単位に絶対アドレスを物理アドレス情報に対応付けるアドレス変換テーブルと、複数のブロックで構成され前記記憶装置に格納されている情報の一部を蓄えるデータアレイおよび該データアレイの各ブロック対応にチェンジビットを格納するチェンジビットアレイを含むスタイン方式のキャッシュメモリとを備え、前記記憶単位が前記キャッシュメモリのブロックより大である階層化記憶システムにおいて、

再配置先の物理アドレス情報を保持する第1のアドレス保持手段と、

再配置の対象となる記憶分割単位の絶対アドレス情報を保持する第2のアドレス保持手段と、

再配置前ブロックと再配置済ブロックの境界の絶対アドレスを保持する第3のアドレス保持手段と、

1ブロックの再配置ごとに前記第3のアドレ

スを設けたことを特徴とする階層化記憶システム。

5. 記憶装置と、予め定められた記憶分割単位に絶対アドレスと物理アドレスとを対応付けるアドレス変換手段と、複数のブロックで構成され前記記憶装置に格納されている情報の一部を蓄えるデータアレイおよび該データアレイの各ブロックに格納されている情報が前記記憶装置の対応する部分の情報と異なっていることを示すチェンジビットを格納するチェンジビットアレイを含むスタイン方式のキャッシュメモリとを備えた階層化記憶システムにおいて、

再配置の指示に基づき、指示された絶対アドレスに対応する物理アドレスで指定される記憶装置の領域の情報を前記記憶装置から読みだして前記キャッシュメモリの1ブロックに格納するとともに、当該ブロックに対応するチェンジビットアレイの内容を、記憶装置と内容が異なることを示す状態とする手段と、

前記指示された絶対アドレスが再配置先の物理アドレスに対応付けられるよう前記アドレス

保持手段のアドレスを1ブロック分更新する境界アドレス更新手段と、

アクセスする絶対アドレスが前記再配置の対象となる記憶分割単位に属するか否かを判定する第1の判定手段と、

アクセスする絶対アドレスと前記境界の絶対アドレスとの大小関係を判定する第2の判定手段と、

前記第1および第2の判定手段の判定結果に応じて前記アドレス変換テーブルまたは前記第1のアドレス保持手段の物理アドレス情報を選択して前記記憶装置に与える選択手段と、

記憶分割単位内の全ブロックの再配置後に、前記第1のアドレス保持手段の内容を前記アドレス変換テーブルの対応する部分に書き込む書き込み手段と

を設けたことを特徴とする階層化記憶システム。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、電子計算機等の記憶装置に関し、特

に、その記憶装置に格納されている情報の再配置に関する。

〔従来の技術〕

現在の大型計算機の多くは、絶対アドレスから物理アドレスへの変換を行うために、FAR (Floating Address Register) と呼ばれる変換テーブルを備えており、絶対アドレス空間を所定の分割単位ごとに任意の物理的メモリエlementに割り付けることができる。この機能はメモリユニットの保守等に有用であるが、通常、FARの変更は、システム稼働中でないときに限り可能である。

従来、システム稼働中にFARの変更を行おうとすると、誤動作を防止するために、まず、記憶装置へのアクセスを一旦停止させ、次に、物理アドレスの変更と、旧物理アドレスから新物理アドレスへの格納データの移動とを行い、その後、記憶装置へのアクセスを再開させる、という手順が必要となる。

なお、類似の技術としては、例えば、特公昭63

-21222号公報に開示されているものがある。また、後述するストアインキャッシュの動作原理は周知であり、例えば、特開昭61-290550号公報に記載されている。

〔発明が解決しようとする課題〕

上記従来技術は、格納データの移動と物理アドレスの変更を行っている間、記憶装置へのアクセスを停止させる必要があり、その間、この記憶装置を利用している装置の動作が停止することとなる。

装置の種類によっては、この停止による前記装置の応答速度の低下が問題となる。

本発明の目的は、記憶装置の再配置に伴う記憶装置の停止時間を短くして、前記応答速度の低下を小さくすることができる記憶再配置方法および階層化記憶システムを提供することにある。

本発明の他の目的は、FARの変更による主記憶の再配置を、システム稼働中に行うことができる記憶再配置方法および階層化記憶システムを提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明による記憶再配置方法は、物理アドレスが付与された記憶装置と、絶対アドレスで管理され前記記憶装置の一部の写しを保持するキャッシュメモリと、前記絶対アドレスを物理アドレスに対応付けるアドレス変換手段とを有する記憶システムにおいて前記物理アドレスが付与された記憶装置を再配置する記憶再配置方法であって、再配置の対象となる絶対アドレス領域に対応する前記記憶装置の物理アドレス領域の内容を前記キャッシュメモリに取り込んだ後、当該絶対アドレス領域を新たな物理アドレス領域に対応付けるよう前記アドレス変換手段の対応付けを変更し、その後、前記キャッシュメモリに取り込まれた内容を、当該内容の更新の有無にかかわらず、前記アドレス変換手段によって前記特定の絶対アドレスに新たに対応付けられた物理アドレス領域に書き戻すようにしたものである。

本発明による他の記憶再配置方法は、記憶装置

の内容の写しを保持するストアイン方式のキャッシュメモリと、絶対アドレスを物理アドレスに対応付けるアドレス変換手段とを利用した記憶装置の記憶再配置方法であって、再配置元の記憶装置の内容を前記キャッシュメモリに取り込んだ後、当該キャッシュメモリのブロックの内容が記憶装置の内容と異なることを示す情報を保持するとともに、当該再配置元の記憶装置の物理アドレスに対応する絶対アドレスが再配置先の記憶装置の物理アドレスに対応付けられるように前記アドレス変換手段のアドレス対応付けを変更するようにしたものである。

本発明によるさらに他の記憶再配置方法は、記憶装置の内容の写しを保持するストアイン方式のキャッシュメモリと、絶対アドレスを物理アドレスに対応付けるアドレス変換手段とを利用して記憶装置の再配置をシステム稼働中に行う記憶再配置方法であって、上位装置からの再配置のリクエストに応じて、再配置元の記憶情報を前記キャッシュメモリへ取り込み、該取り込んだ記憶情報の

書き戻し先を再配置先に変更するよう前記アドレス変換手段のアドレス対応付けを変更するようにしたものである。

また、本発明による階層化記憶システムは、記憶装置と、該記憶装置の内容の写しを複数のブロックに保持するスタイン方式のキャッシュメモリと、絶対アドレスを物理アドレスに対応付けるアドレス変換手段とを備えた階層化記憶システムにおいて、前記記憶装置に対するリクエストとして、フェッチリクエストおよびストアリクエストに加え、再配置リクエストを用意し、該再配置リクエストに対しては、再配置元の記憶情報を前記キャッシュメモリの1ブロックに取り込むとともに該ブロックのチェンジビットを“変更”状態とする手段と、該取り込んだ記憶情報の書き戻し先を再配置先に変更するよう前記アドレス変換手段のアドレス対応付けを変更する手段とを設けたものである。

本発明による他の階層化記憶システムは、記憶装置と、予め定められた記憶分割単位に絶対アド

ドレスを物理アドレス情報に対応付けるアドレス変換テーブルと、複数のブロックで構成され前記記憶装置に格納されている情報の一部を蓄えるデータアレイおよび該データアレイの各ブロック対応にチェンジビットを格納するチェンジビットアレイを含むスタイン方式のキャッシュメモリとを備え、前記記憶単位が前記キャッシュメモリのブロックより大である階層化記憶システムにおいて、再配置先の物理アドレス情報を保持する第1のアドレス保持手段と、再配置の対象となる記憶分割単位の絶対アドレス情報を保持する第2のアドレス保持手段と、再配置前ブロックと再配置後ブロックの境界の絶対アドレスを保持する第3のアドレス保持手段と、1ブロックの再配置ごとに前記第3のアドレス保持手段のアドレスを1ブロック分更新する境界アドレス更新手段と、アクセスする絶対アドレスが前記再配置の対象となる記憶分割単位に属するか否かを判定する第1の判定手段と、アクセスする絶対アドレスと前記境界の絶対アドレスとの大小関係を判定する第2の判

レスと物理アドレスとを対応付けるアドレス変換手段と、複数のブロックで構成され前記記憶装置に格納されている情報の一部を蓄えるデータアレイおよび該データアレイの各ブロックに格納されている情報が前記記憶装置の対応する部分の情報と異なっていることを示すチェンジビットを格納するチェンジビットアレイを含むスタイン方式のキャッシュメモリとを備えた階層化記憶システムにおいて、再配置の指示に基づき、指示された絶対アドレスに対応する物理アドレスで指定される記憶装置の領域の情報を前記記憶装置から読みだして前記キャッシュメモリの1ブロックに格納するとともに、当該ブロックに対応するチェンジビットアレイの内容を、記憶装置と内容が異なることを示す状態とする手段と、前記指示された絶対アドレスが再配置先の物理アドレスに対応付けられるよう前記アドレス変換手段を制御する手段とを設けたものである。

本発明によるさらに他の階層化記憶システムは、記憶装置と、予め定められた記憶分割単位に絶対

定手段と、前記第1および第2の判定手段の判定結果に応じて前記アドレス変換テーブルまたは前記第1のアドレス保持手段の物理アドレス情報を選択して前記記憶装置に与える選択手段と、記憶分割単位内の全ブロックの再配置後に、前記第1のアドレス保持手段の内容を前記アドレス変換テーブルの対応する部分に書き込む書き込み手段とを設けたものである。

なお、本明細書において、「絶対アドレス」とは、前記アドレス変換手段により記憶装置の物理アドレスに対応付けられるアドレスであり、例えば、大型計算機では、仮想アドレスを周知の動的アドレス変換機構により変換して得られた実アドレスに対してさらに周知のプリフィックス変換を施して得られるアドレスである。プリフィックス変換を行わないシステムでは実アドレス自体が絶対アドレスとなる。

〔作 用〕

キャッシュメモリは、記憶装置（例えば、主記憶装置）の一部の写しを保持する小容量高速のメ

メモリであり、上位装置（例えば、中央処理装置）からの読出し（フェッチ）および書き込み（ストア）の実効的な速度を向上させることを目的とするものである。記憶装置のアクセス時にアクセスの対象がキャッシュメモリに存在すれば、キャッシュメモリにアクセスすることにより記憶装置をアクセスする必要がなくなる。本発明はこのキャッシュメモリの特徴に着目し、キャッシュメモリを利用して記憶装置の再配置をシステム稼働中に実行しうることにより想到した。

すなわち、記憶再配置時には再配置の対象となる物理アドレスの領域の情報をキャッシュメモリのブロックに取り込み、その後、当該絶対アドレスに対応付ける記憶装置の物理アドレスを変更する。このアドレス対応付けの変更のための一手段としては、従来、絶対アドレスを物理アドレスに対応付けるアドレス変換手段（例えば前記FAR）を利用し、その内容を動的に変更できるようにする。

物理アドレスの変更前に、再配置元の情報をすな

んだとき、そのブロックに対応するチェンジビットを“変更”状態とすることにより、そのブロックが置き換え対象となったときその内容は、自動的に記憶装置の新たな物理アドレス領域に書き戻されることになる。したがって、再配置処理は、実質的には、再配置対象のアドレス領域の情報をキャッシュメモリに取り込んでチェンジビットの変更および物理アドレスの更新を行った段階で終了することとなる。すなわち、前記従来技術で必要であった、旧物理アドレスから新物理アドレスへの情報の移動は不要となる。

記憶装置の再配置可能な単位としての記憶分割単位がキャッシュメモリの1ブロックより大きい場合には、記憶分割単位内の複数のブロックについて順次キャッシュメモリへのブロック転送を行う。この再配置動作中、過渡的に、アクセスアドレスが同一の絶対アドレスの記憶分割単位に属する場合であっても再配置前のブロックに属するかまたは再配置済みのブロックに属するかによって、対応付けられる物理アドレス領域が異なる状態が

おち物理アドレス変更の対象となるアドレス領域の情報をキャッシュメモリ内に取り込むので、物理アドレス変更の処理を行なっている間も、再配置対象のアドレス領域に含まれる情報の読み書きはキャッシュメモリに格納された情報を用いて行うことができ、その間の読み書きを禁止したり、通常の処理を遅延させる必要はない。

記憶再配置を完結させるには、キャッシュメモリのブロックに取り込まれた再配置対象の情報を記憶装置の再配置先のアドレス領域に書き戻す必要がある。この書き戻しは、キャッシュメモリの置き換えアルゴリズムに応じて、そのブロックが置き換えの対象となったときに行えば十分である。この意味から、ストアイン方式のキャッシュメモリを利用することが好ましい。ストアイン方式のキャッシュメモリでは、ブロックの内容が記憶装置の内容と異なっているか否かの情報（内容が変更されたことを示す情報）を保持するチェンジビットを各ブロック対応に有しており、再配置時には、再配置対象の情報を特定のブロックに取り込

生じる。そこで、ブロックごとの再配置に伴い、再配置前後の絶対アドレスの境界を順次更新しアクセスアドレスが境界のいずれの側にあるかを判定して、その判定結果に応じて新旧の物理アドレスを選択出力する。これにより、記憶分割単位の大きさがキャッシュメモリのブロック容量より大きい場合でも、記憶分割単位全体の再配置が可能となる。

以上のように、本発明によれば、主記憶装置に格納された情報の再配置を実行中であっても、キャッシュメモリに格納された情報を用いることにより、再配置中の領域に対する読み書きが可能であるので、走行中のプログラムの動作が再配置のために停止する時間が従来技術に比べて小さく、また、再配置する情報の移動を階層化記憶システム内で行なうため、処理時間が短いという効果がある。

また、従来技術と比較して、再配置する情報の移動のために、階層化記憶システムを利用する上位装置の機能を使う程度が小さいので、階層化記

憶システムを利用する上位装置の本来の仕事を妨げない。

また、アドレス割当単位がキャッシュメモリの容量より大きいアドレスアレイを用いた記憶装置においても、上記効果をもたらすためのハードウェアが、記憶分割単位を小さくするためにアドレスアレイの容量を増やすというような方法より、小さくて済む。

(以下、余白)

[実施例]

以下、本発明の実施例を図面により詳細に説明する。

第1図は本発明の第1の実施例の階層化記憶システムのブロック図である。

まず本実施例の構成要素を説明する。以下の説明で、数値N、B、Uは自然数である。

本実施例の階層化記憶システムは、アドレスレジスタ1、ストアフラグ2、再配置フラグ3、ストアデータレジスタ4、フェッチデータレジスタ5、ストアインキャッシュメモリ20、アドレス変換装置50、および主記憶装置80からなる。

アドレスレジスタ1は、読み書きをしようとする語の絶対アドレスを設定するNビットのレジスタである。本階層化記憶システムは、フェッチリクエスト、ストアリクエスト、再配置リクエスト、の3種のリクエストが処理可能であり、ストアフラグ2と再配置フラグ3は上記のうち1つのリクエストを選択するためのフラグである。ストアフラグ2はフェッチリクエストおよび再配置リクエ

ストの場合は“0”とし、ストアリクエストの場合は“1”とする。また、再配置フラグ3は再配置リクエストの場合は“1”としそれ以外は“0”とする。ストアデータレジスタ4は書き込みしようとする語のデータを設定するレジスタである。フェッチデータレジスタ5はフェッチされたデータが設定されるレジスタである。

ストアインキャッシュメモリ20は、それぞれ2のB乗語の大きさの複数のブロックを格納するデータアレイ23と、このデータアレイ23の各々のエントリに対応する複数のエントリを持つチェンジビットアレイ22と、これらの構成要素への制御信号を発生する制御回路21と、ゲート26～30およびセクタ24、25とを含んでおり、アドレス信号6と再配置信号7とライトデータ信号8とを出力し、主記憶装置80からのリードデータ信号9を受ける。

アドレス変換装置50は、前述したFARであり、本実施例ではブロックと同じ大きさの主記憶分割単位毎にアドレス変換を行ない、アドレス信

号6の絶対アドレスを物理アドレスに変換してアドレス信号10として主記憶装置80に与える。また、再配置信号7に応じて該当する主記憶分割単位の再配置を行う。

主記憶装置80は2のN乗語の記憶容量を持ち、読み出し時はアドレス信号10で指定されたブロックのデータをリードデータ信号9として出力し、書き込み時はライトデータ信号8のデータをアドレス信号10で指定されたブロックに書き込む。

データアレイ23において、あるエントリに格納されたブロックのもつ情報が、対応する主記憶装置80上のブロックの情報と異なっていれば、チェンジビットアレイ22のそのブロックに対応するエントリを“1”とし、等しければ“0”とする。またチェンジビットアレイ22への書き込みはチェンジビット信号37とライト信号38によって制御され、ライト信号38を“1”とすると、チェンジビット信号37の値がエントリ選択信号31で指定されたエントリに書き込まれる。制御回路21はデータアレイの各々のエントリが

格納しているブロックの絶対アドレスを保持している。エントリ選択信号31はデータアレイ23とチェンジビットアレイ22のエントリを選択する。データアレイ23は、エントリ選択信号31で指定されたエントリに格納されたブロックに対する、ブロック単位の読み書きと、そのブロック内の1語に対する語単位の読み書きを行うことができる。セクタ24はデータアレイへの書き込みデータを選択する。セクタ25はフェッチデータレジスタの入力データを選択する。ORゲート26、ANDゲート27、ORゲート28はチェンジビットアレイ22の更新を制御する回路を構成している。

ORゲート29とANDゲート30は、アドレス変換装置50における再配置動作を制御する。ストアインキャッシュメモリ20の、本実施例の説明に必要な構成要素は省略してある。

アドレス変換装置50はアドレスアレイ51と物理アドレスレジスタ52を含む。アドレスアレイ51は、絶対アドレスの上位(N-B)ビット

をアドレスとし、各エントリにアドレス割当情報を格納するRAMである。物理アドレスレジスタ52は、再配置しようとする主記憶分割単位が再配置後に与えられるべきアドレス割当情報を格納する。すなわち、主記憶分割単位とは、アドレス変換装置50により再配置が可能な主記憶の最小単位である。

アドレス割当情報は物理アドレスの上位(N-B)ビットであり、物理アドレスは(N-B)ビットのアドレス割当情報と、絶対アドレスの下位Bビットをつなぎ合わせることで求められる。

また、再配置信号7の値を“1”とすると、アドレス信号6で指定されるアドレスアレイ51のエントリに物理アドレスレジスタ52の内容が書き込まれ、対応する主記憶分割単位の配置を変更することができる。このアドレス変換動作そのものは、従来からFARとして知られているものであるが、アドレス変換装置50では、エントリをダイナミックに書き換えるために、物理アドレスレジスタ52と再配置信号7によるエントリ更新

機能が付加されているのが特徴である。

本実施例におけるデータアレイ23、主記憶分割単位、アドレスアレイ5、主記憶装置80等の関係を第3A図に示す。この例では、図示の都合上、データアレイ23のエントリ数が“3”の場合を示しているが実際にはさらに多数である。この図において、例えば、データアレイ23の1ブロック91は絶対アドレス空間の1ブロックに対応付けられ、このブロック91はアドレス変換装置50により主記憶装置80のブロック95に対応付けられている。絶対アドレス空間のブロック93を主記憶装置80のブロック95からブロック97へ再配置する場合、ブロック95をキャッシュメモリ20の1ブロック91に読み込んで対応するチェンジビットを“1”にするとともに、絶対アドレスのブロック93に対応する、アドレス変換装置50内のアドレスアレイ51のエントリ94の内容を、新たなブロック97に対応する物理アドレスに書き換えることにより再配置が達成される。その後、キャッシュメモリ20のプロ

ック91が置き換えの対象となったとき主記憶装置80のブロック95ではなく、ブロック97に書き戻される。

次に、フェッチリクエスト、ストアリクエスト、再配置リクエストの各処理の具体例を説明する。

まず、上記3つのリクエストの処理で共通して行なわれるブロック取り込み処理を説明し、続いてフェッチ処理、ストア処理、再配置処理の説明をする。ブロック取り込み処理、フェッチ処理、ストア処理、の3処理は、いわゆるストアインキャッシュのアルゴリズムを構成している。

(1) ブロック取り込み処理

第4A図にブロック取り込み処理のフローチャートを示す。

ブロック取り込みの必要が生じると、まず、制御回路21は、取り込もうとしているブロックを格納するための、データアレイ23のエントリを適当に選択し(S11)、選択されたエントリに対応するチェンジビットアレイ22のエントリが“1”であるか否か調べる(S12)。エントリ

が“1”であった場合は、そのエントリに格納されていたブロックのデータを保存するためにブロック書き戻し動作を行なう。ブロック書き戻し動作は、上記ブロックに対応する絶対アドレスをセクタ34経由でアドレス変換装置50に送り、その絶対アドレスをアドレス変換装置50で物理アドレスに変換して主記憶装置80に送出し(S13)、上記ブロックのデータをデータアレイ23から読み出してライトデータ信号8として主記憶装置80に送出した後、主記憶装置80に書き込み指示を与えることによって、上記ブロックを主記憶装置80に書き戻す(S14)。

次に、セクタ34がアドレスレジスタ1の出力を選択してアドレス信号6として出力し、制御回路21が主記憶装置80にブロックの読み出しを指示すると、アドレスレジスタ1に格納された絶対アドレスに対応する、アドレスアレイ51野エントリが読みだされ、その絶対アドレスの下位Bビットとともにアドレス信号10として出力される(S15)。このアドレス信号10で指定さ

ストアフラグ2と再配置フラグ3に共に“0”を設定した後、動作指示を与えることによって開始される(S21)。

そこで、アドレスレジスタ1で指定された語のデータがストアインキャッシュメモリ20に格納されているか否かを調べ(S22)、格納されていた場合は、制御回路21がそのデータの入ったエントリを指定する信号をエントリ選択信号31に出力し、ヒット信号35に“1”を出力する。データアレイ23はエントリ選択信号31で指定されたブロックのデータをブロックデータ信号32に出力する(S23)。セクタ25はブロックデータ信号32からアドレスレジスタ1で指定された語のデータを選択し、そのデータはフェッチデータレジスタ5に格納される(S24)。以上でフェッチ処理が完了する。

なお、アドレスレジスタ1で指定された語のデータがストアインキャッシュメモリ20に格納されていなかった場合は、前述のブロック取り込み処理が行なわれる(S25)。セクタ25は、

れた主記憶装置80上のブロックはリードデータ都市手読みだされる(S16)。主記憶装置80の動作でリードデータ信号9として得られたデータは、セクタ24を経て、データアレイ23の選択されたエントリに書き込まれる(S17)。

前記ブロックの全てのデータが選択されたエントリに書き込まれたとき、制御回路21は取り込み完了信号36を“1”とする。ORゲート28の働きによりライト信号38が“1”となり、チェンジビットアレイ22はチェンジビット信号37の値を、エントリ選択信号31で指定されるエントリに格納する(S18)。チェンジビット信号37の値は処理しようとしているリクエストによって異なる。以上がブロック取り込み処理である。

(2) フェッチ処理

フェッチ処理のフローチャートを第4B図に示す。

フェッチリクエストの処理は、アドレスレジスタ1に読み出したい語の絶対アドレスを設定し、

ブロック取り込み動作でリードデータ信号9に得られたブロックデータの中からアドレスレジスタ1で指定された語のデータを選択し、そのデータはフェッチデータレジスタ5に格納される(S26)。また、ストアフラグ2と再配置フラグ3が共に“0”であるので、チェンジビット信号37は“0”となっている。従って、前述のブロック取り込み処理の結果、チェンジビットアレイ22のストアが行なわれたエントリには“0”が書き込まれ、ストアインキャッシュメモリ20に格納されたブロックの内容と主記憶に格納されたブロックの内容が一致していることを記憶する。以上でフェッチ処理が完了する。

(3) ストア処理

ストア処理のフローチャートを第4C図に示す。

ストアリクエストの処理は、アドレスレジスタ1に、書き込みをしたい語の絶対アドレスを設定し、ストアデータレジスタ4に書き込みデータを設定し、ストアフラグ2に“1”を、再配置フラグ3に“0”を設定した後、動作指示を与えるこ

とによって開始される(S31)。

そこでまず、アドレスレジスタ1で指定された語のデータがストアインキャッシュメモリ20に格納されているか否かを調べる(S32)。格納されていた場合は、制御回路21がそのデータの入ったエントリを指定する信号をエントリ選択信号31に出力し、ヒット信号35に“1”を出力する。セレクトア24はストアデータレジスタ4の出力の方を選択してデータアレイ23に送る。前述のように、エントリ選択信号31で指定されたエントリに格納されたブロックにはアドレスレジスタ1で指定した語のデータが含まれており、データアレイ23はそのデータをセレクトア24が出力したデータで置き換える(S34)。一方、ORゲート26の働きでチェンジビット信号37が“1”となっており、ANDゲート27とORゲート28の働きでライト信号38が“1”となるため、チェンジビットアレイ22のエントリ選択信号31で指定されたエントリには“1”が書き込まれる(S35)。以上でストア処理が完了

ラグ3に“1”を設定した後、動作指示を与えることによって開始される(S41)。

続いて、アドレスレジスタ1で指定された語のデータがストアインキャッシュメモリ20に格納されているか否かを調べる(S42)。格納されていた場合は、制御回路21がそのデータの入ったエントリを指定する信号をエントリ選択信号31に出力し、ヒット信号35に“1”を出力する。また、再配置フラグの内容が“1”であるので、ORゲート26の働きでチェンジビット信号37の値は“1”となる。一方、ヒット信号35とチェンジビット信号37の値が共に“1”であるため、ANDゲート27とORゲート28の働きでライト信号38が“1”となり、チェンジビットアレイ22のエントリ選択信号31で指定されたエントリには、“1”が書き込まれる(S46)。このとき、ORゲート29とANDゲート30の働きで再配置信号7に“1”が出力される(S44)。再配置信号7が“1”になると、アドレスアレイ51はアドレス信号6で指定

する。

なお、上記ステップS32において、アドレスレジスタ1で指定された語のデータがストアインキャッシュメモリ20に格納されていなかった場合は、まず、前述のブロック取り込み処理が行なわれる(S33)。このとき、ストアフラグ2の内容は“1”であるので、ORゲート26の働きにより、チェンジビット信号37の値は“1”である。

従って、前述のブロック取り込み処理の結果、チェンジビットアレイ22のストアが行なわれたエントリには“1”が書き込まれる。その後は指定された後がストアインキャッシュメモリ20に格納されていた場合と同じ処理が行われ、ストア処理が完了する。

(4) 再配置処理

第4D図に再配置処理のフローチャートを示す。

再配置リクエストの処理は、アドレスレジスタ1に再配置したいブロックの先頭の絶対アドレスを設定し、ストアフラグ2に“0”を、再配置フ

されるアドレスアレイ51のエントリに物理アドレスレジスタ52の内容を書き込む(S45)。以上でアドレスレジスタ1で指定されたブロックが再配置される。

一方、上記ステップ42において、アドレスレジスタ1で指定された語のデータがストアインキャッシュメモリ20に格納されていなかった場合は、前述のブロック取り込み処理が行なわれる(S43)。このとき、再配置フラグ3の内容が“1”であるので、ORゲート26の働きにより、チェンジビット信号37の値は“1”である。従って、前述のブロック取り込み処理の結果、チェンジビットアレイ22のエントリ選択信号31で指定されたエントリには“1”が書き込まれる。また、前述のブロック取り込み処理で取り込み完了信号36が“1”となるため、ORゲート29とANDゲート30の働きで再配置信号7に“1”が出力される(S44)。再配置信号7が“1”になると、アドレスアレイ51はアドレス信号6で指定されるアドレスアレイ51のエントリに物

理アドレスレジスタ52の内容を書き込む(S45)。以上でアドレスレジスタ1で指定されたブロックが再配置される。前述の第3A図の斜線部は再配置信号7が“1”となった時点での再配置対象のブロックを表わしている。

以上の再配置処理では、再配置されたブロックの主記憶装置80への格納は行なわれておらず、主記憶装置80上の対応するブロックには無意味なデータが格納されたままである。しかし、そのブロックに対応するチェンジビットが“1”となっているため、ストアインキャッシュのアルゴリズムによって、ストアインキャッシュメモリに格納されているブロックが唯一の正しいデータとして扱われ、主記憶装置80上のデータは無視されるので、矛盾は生じない。

なお、変更前の配置と変更後の配置との関係には何も制限はなく、オーバーラップしていても差支えない。

(以下、余白)

置しようとする主記憶分割単位の先頭の絶対アドレスの上位($N-U$)ビットを格納する。物理アドレスレジスタ52は、再配置領域レジスタ56で指定される主記憶分割単位が再配置後に与えられるべきアドレス割当情報、即ち物理アドレスの上位 $N-U$ ビットを格納する。境界アドレスレジスタ57は N ビットの境界アドレスを格納し、再配置信号7の指示があった場合は境界アドレス加算器60の出力が設定される。比較器58はアドレスレジスタ1の内容の上位 $N-U$ ビットを再配置領域レジスタ56と比較し、同じ値である場合は“1”を出力、異なる場合は“0”を出力する。比較器59はアドレスレジスタ1の内容を境界アドレスレジスタ57の内容と比較し、アクセスアドレスが境界アドレスより小さい場合は“1”を、そうでなければ“0”を出力する。境界アドレス加算器60は境界アドレスに2の B 乗を加えた絶対アドレスを出力する。セレクタ62はANDゲート61の出力が“0”のときアドレスアレイ51の出力を選択し、“1”のときは物理アドレ

次に、本発明の第2の実施例を第2図により説明する。第2図は本実施例の階層化記憶システムのブロック図である。

本実施例と第1の実施例との構成上の差異はアドレス変換装置50のみであり、その他の要素は第1の実施例と同一である。

アドレス変換装置50を構成する各要素について以下に述べる。本実施例では、主記憶分割単位の大きさは2の U 乗であり、 $U > B$ である。従って、主記憶分割単位は2の $(U-B)$ 乗個のブロックを含む。また、本実施例では、アドレス割当情報は物理アドレスの上位 $(N-U)$ ビットであり、物理アドレスは $(N-U)$ ビットのアドレス割当情報と、絶対アドレスの下位 U ビットをつなぎ合わせることで求められる。

アドレスアレイ51は絶対アドレスの上位 $(N-U)$ ビットをアドレスとし、各エントリにアドレス割当情報を格納するRAMであり、第1の実施例と同様、従来のFARとして知られているものに相当する。再配置領域レジスタ56は、再配

スレジスタ52の出力を選択する選択回路である。バリッドビット55はアドレス変換装置50が再配置実行モードであることを示すフラグであり、その内容が“1”なら再配置モードであり、“0”ならそうではない。

また、ライト信号1-1はアドレスアレイ51への書き込みを指示する信号であり、その値を“1”とすることにより、物理アドレスレジスタ52の内容がアドレス信号6で指定されるアドレスアレイ51のエントリに書き込まれる。

以上が、アドレス変換装置50の構成である。第2の実施例におけるデータアレイ、主記憶分割単位、アドレスアレイ、記憶装置80等の関係を第3図Bに示す。この図においても、便宜上、データアレイ23のエントリ数が“3”の場合を示している。本実施例は、図から分かるように、キャッシュメモリ20の1ブロック(2^B 語)は主記憶分割単位(2^U 語)より小さい場合を想定しているが、キャッシュメモリ20による再配置はブロック単位にしか行えないので、主記憶装置80の1

分割単位は一度に再配置することができない。従って、主記憶装置80の1分割単位の再配置の際には、その分割単位が内包する複数のブロックについてブロック単位に順次再配置を行うことになる。そこで、この再配置中は、同一の主記憶分割単位内に再配置前のブロックと再配置済のブロックとが一時的に混在することとなる。

すなわち、同じ絶対アドレス領域でも再配置前のブロックについては元の物理アドレスを適用し、再配置済のブロックについては新たな物理アドレスを適用する必要がある。この要請に対処するための構成が第2図のアドレス変換装置50の構成であり、以下に、その動作を説明する。

まず、再配置を行なわないときは、バリッドビット55が“0”であるため、ANDゲート61とセクタ62により、アドレスアレイ51から出力されたアドレス割当情報のみがアドレス変換に用いられる。

次に、再配置実行中は、バリッドビット55が“1”であるため、比較器58と比較器59と

は、境界アドレスが主記憶分割単位の先頭である場合は全てアドレスアレイ51の出力に従い、境界アドレスが主記憶分割単位の最大の絶対アドレスより大きければ全て物理アドレスレジスタ52の出力に従う。

以上がアドレス変換装置50の動作である。

本実施例の階層化記憶システムは、第1の実施例と同様に、フェッチ、ストア、再配置の3つのリクエストが実行可能である。フェッチおよびストアについては、ブロック取り込み動作以外は第1の実施例と同じなので、説明を省略する。再配置リクエストは第1の実施例と同様に1つのブロックの再配置を行うものであるが、後述する主記憶分割単位の再配置動作の一つのステップとしてのみ使用するの、その説明の中で再配置リクエストの動作を説明する。

まず、ブロック取り込み動作の概略フローチャートを第5A図に示す。

ブロック取り込み処理では、最初に、指定された語を含むブロックを格納するために、データア

NDゲート61とセクタ62の動作により、アドレスレジスタ1の内容が再配置領域レジスタ56で指定された主記憶分割単位に含まれ、かつ、境界アドレスより小さい場合は、物理アドレスレジスタ52の出力がアドレス変換に用いられ、そうでない場合はアドレスアレイ51の出力がアドレス変換に用いられる。このように、バリッドビットを“1”とすれば、アドレス割当単位は境界アドレスを境にして二つの部分に分割され、それぞれに異なる物理アドレスを割り当てることができる。

また、再配置信号7を“1”とすれば、境界アドレスレジスタの内容がブロックの大きさ分増加され、増加前に境界アドレスが指していたブロックの物理アドレスが、アドレスアレイ51で指定されるものから物理アドレスレジスタ52で指定されるものに変更されることになる。この物理アドレスの変更は、第1の実施例の再配置処理において再配置信号7がもたらした物理アドレスの変更に対応するものである。主記憶分割単位の配置

レイ23のエントリを適当に選択する(S51)。そこで、この選択されたエントリに対応するチェンジビットアレイ22のエントリが“1”であるか否かを調べる(S52)。“1”であれば、内容が変更されているので主記憶装置に書き戻す必要がある。そこで、選択されたエントリに格納されたブロックの絶対アドレスの上位(N-U)ビットが再配置領域レジスタ56の内容と等しく、その絶対アドレスが境界レジスタ57より小さいか否かを調べる(S53)。このステップは当該ブロックが、再配置済の方に属するか否かを調べることに対応する。結果が肯であれば、再配置済の方に属するので物理アドレスレジスタ52の内容を絶対アドレスの下位Uビットとともにアドレス信号10として出力し(S54)、否であれば、当該絶対アドレスに対応するアドレスアレイ51のエントリを読出し、これをその絶対アドレスの下位Uビットとともにアドレス信号10として出力する(S61)。そこでアドレス信号10で指令される主記憶装置80のアドレスに、当該

ブロックのデータが書き戻される (S55)。ステップ52でチェンジビットアレイ22のエントリが“0”の場合には当該ブロックの内容は変化していないので、書き戻しのためのステップS52～S55およびS61は省略される。

次に、アドレスレジスタ1に格納された絶対アドレスの上位(N-U)ビットが再配置領域レジスタ56の内容と等しく、その絶対アドレスが境界レジスタ57より小さいか否かを調べる(S56)。このステップは前記ステップS53に対応する。結果が肯であれば、物理アドレスレジスタ52の内容が前記絶対アドレスの下位Uビットとともにアドレス信号10として出力される(S57)、否であれば、前記絶対アドレスに対応するアドレスアレイ51のエントリが読出され、その絶対アドレスの下位Uビットとともにアドレス信号10として出力される。そこで、アドレス信号10で指定された主記憶装置80上のブロックがリードデータ信号9として読みだされる(S58)。このリードデータ信号9のデータは

データアレイの選択されたエントリに書き込まれる(S59)、チェンジビットアレイ22の選択されたエントリにチェンジビット信号37の値が格納される(S60)。以上でブロック取り込み処理が完了する。

次に、本実施例における主記憶分割単位の再配置動作を説明する。主記憶分割単位の再配置動作は、階層化記憶システムを利用する処理装置が以下の処理1)から7)までを順に実行することによって行なわれる。そのフローチャートを第5B図に示す。

この再配置処理は、再配置リクエストによるブロック単位の再配置を繰り返して、複数のブロックからなる主記憶分割単位の再配置を行うものである。

- 1) 再配置しようとする主記憶分割単位の絶対アドレスの上位(N-U)ビットを、再配置領域レジスタ56に設定する。
- 2) 上記主記憶分割単位を新たに配置しようとする物理アドレスの上位(N-U)ビットを、

物理アドレスレジスタ52に設定する。

- 3) 再配置しようとする主記憶分割単位の先頭の絶対アドレスを、境界アドレスレジスタ57に設定する。
- 4) バリッドビット55を“1”とする。(以上、S71)
- 5) 以下の再配置リクエスト動作を(2の(U-B)乗)回繰り返す(S72～S77、S81)。

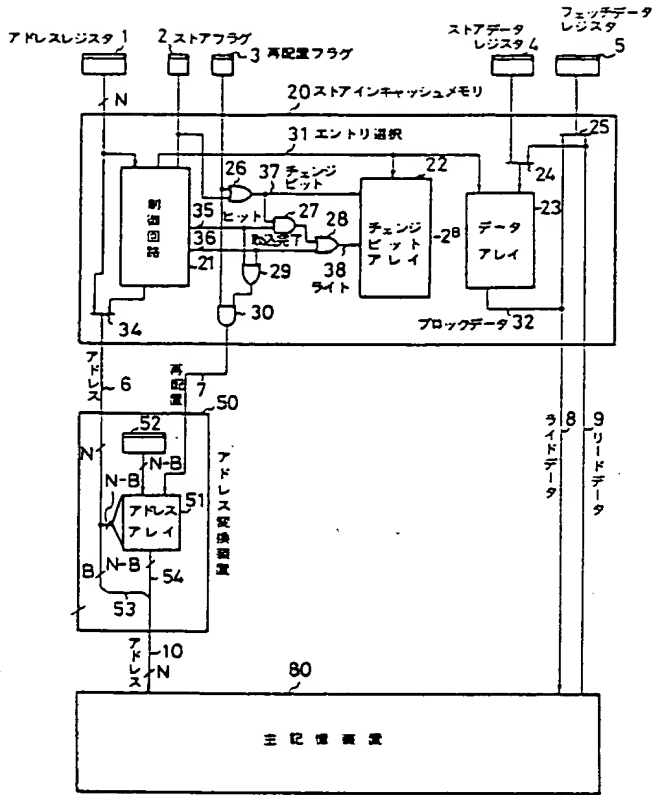
境界アドレスレジスタに保持されたものと等しい絶対アドレスをアドレスレジスタ1に設定し、ストアフラグ2を“0”に設定し、再配置フラグ3を“1”に設定し、階層化記憶システムを起動する。

- 6) ライト信号11を“1”とする(S78)。これに応じて、アドレスレジスタ1で指定されたエントリに物理アドレスレジスタ52の内容が書き込まれる(S79)。
- 7) バリッドビットを“0”とする(S80)。上記処理のうち1)から4)までの処理は再配

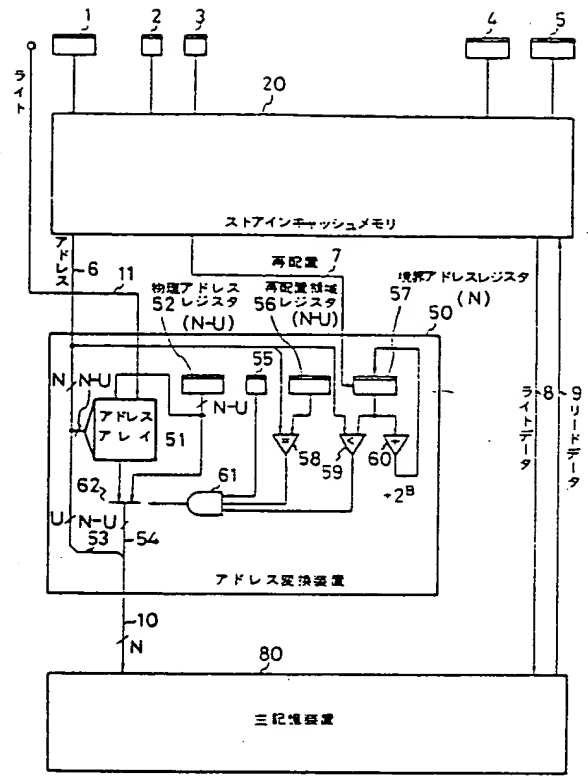
置に使用するレジスタの初期化である。処理5)は、再配置領域レジスタ56で指定される主記憶分割単位を構成するブロックに対して、第1の実施例で説明した再配置処理を繰り返し、その主記憶分割単位内の全てのブロックを、物理アドレスレジスタ52で指定される物理アドレスに再配置する。各々のブロックの再配置処理で、ストアインキャッシュメモリ20は第1の実施例で説明した再配置リクエストの処理と同じ動作を行うが、再配置信号7はアドレスアレイ51のエントリを書き換える代わりに境界アドレスレジスタ57の内容を増加させる。しかし、その効果は第1の実施例と同じである。

処理6)は、物理アドレスレジスタ52の内容を、アドレス信号6で指定されるアドレスアレイ51のエントリに書き込み、処理5)で達成された再配置をアドレスアレイ51に反映する。この処理によりアドレスアレイ51と物理アドレスレジスタの内容が一致したので、バリッドビット55を“0”にすることができる。

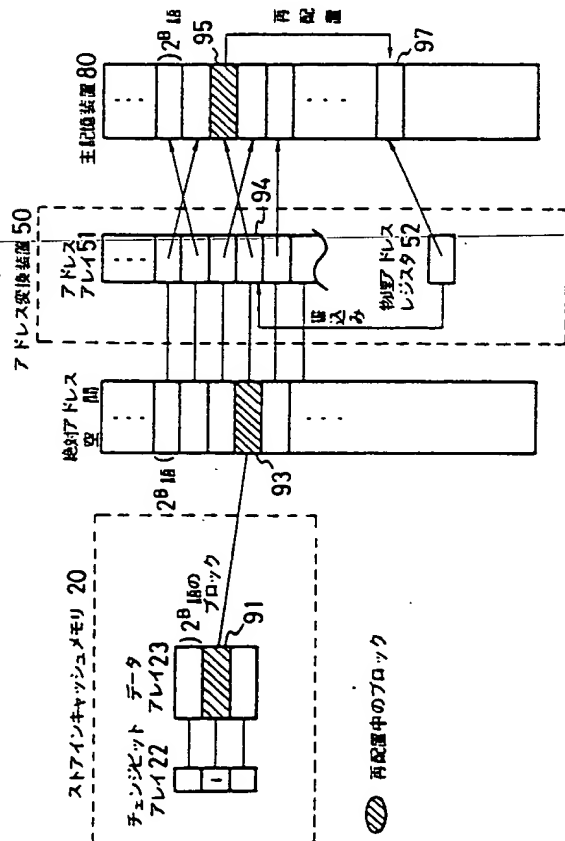
第 1 図



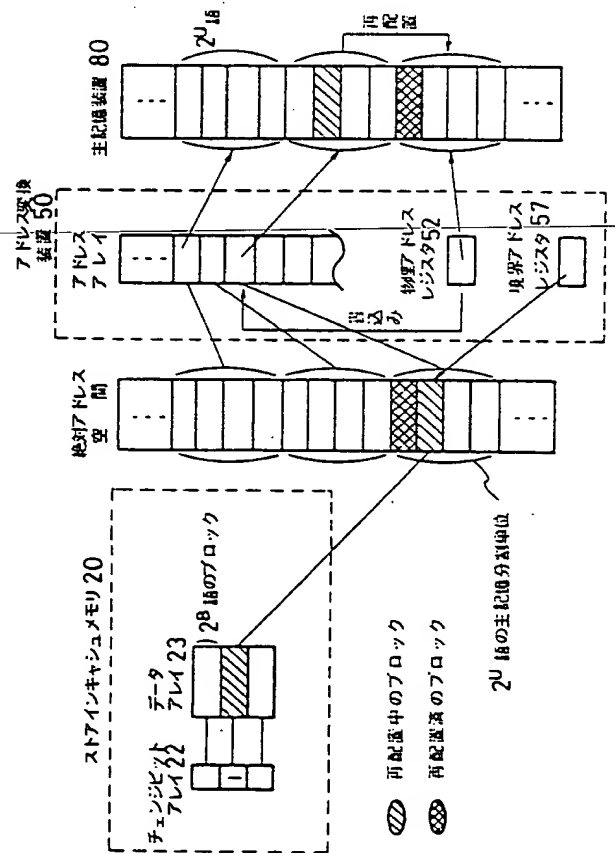
第 2 図



第 3A 図



第 3B 図



処理7)はアドレス変換装置50に含まれる再配置用のレジスタ群を解放し、別の主記憶分割単位の再配置が行えるようにする。

なお、第1の実施例では主記憶分割単位の大きさがキャッシュのブロックの大きさと同じである場合を説明したが、本発明はこの場合に限定されるものではなく、第2の実施例のように主記憶分割単位の大きさがブロックの大きさの整数倍でストアインキャッシュメモリの容量より小さいという条件を満たせば、適用可能である。

また、第1及び第2実施例ではアドレス割当情報が物理アドレスの上位ビットそのものである場合を説明したが、主記憶分割単位内の絶対アドレスと主記憶装置の物理アドレスを1対1に対応させる情報であればよい。例えば、主記憶分割単位が主記憶装置上でインターリーブしている場合に、インターリーブパターンを指定する情報を含んでもよい。

第1及び第2実施例では主記憶分割単位の大きさが一定である場合を説明したが、一定していな

い場合でも、本発明の適用は可能である。

また、第2の実施例では主記憶分割単位内のブロックをキャッシュメモリに格納する順番が、アドレスの昇順である場合を説明したが、これと異なる順番であっても、比較器59及び境界アドレス加算器60がその順番に対応したものであれば、アドレスの昇順である必要はない。

同じく第2の実施例ではバリッドビットを設けたが、再配置領域レジスタ56と境界レジスタ57を“0”とすれば、バリッドビット=0と同じ効果をもつので必須の要素ではない。

以上、本発明を2つの実施例にもとづき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更が可能であることは言うまでもない。

【発明の効果】

本発明によれば、記憶装置に格納された情報の再配置を実行中であっても、キャッシュメモリに格納された情報を用いることにより、再配置中の領域に対する読み書きが可能であるので、走行中

のプログラムの動作を再配置のために停止させる必要がなく、システム稼働中に記憶装置の再配置を行うことができる。

4. 図面の簡単な説明

第1図は第1の実施例の階層化記憶システムのブロック図、第2図は第2の実施例の階層化記憶システムのブロック図、第3A図は第1の実施例における絶対アドレス空間と主記憶装置の物理アドレス空間の対応関係を示す説明図、第3B図は第2の実施例における絶対アドレス空間と主記憶装置の物理アドレス空間の対応関係を示す説明図、第4A図～第4D図は第1の実施例の各処理のフローチャート、第5A図および第5B図は第2の実施例の各処理のフローチャートである。

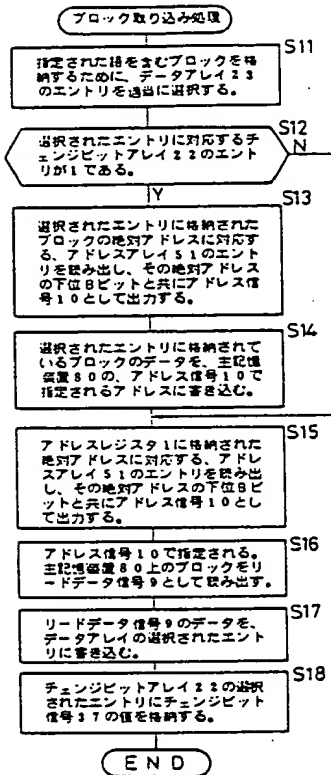
20…ストアインキャッシュメモリ、21…制御回路、22…チェンジビットアレイ、23…データアレイ、24、25、34…セクタ、50…アドレス変換装置、51…アドレスアレイ、52…物理アドレスレジスタ、55…バリッドビット、56…再配置領域レジスタ、57…境界ア

ドレスレジスタ、58、59…比較器、60…境界アドレス加算器、80…主記憶装置。

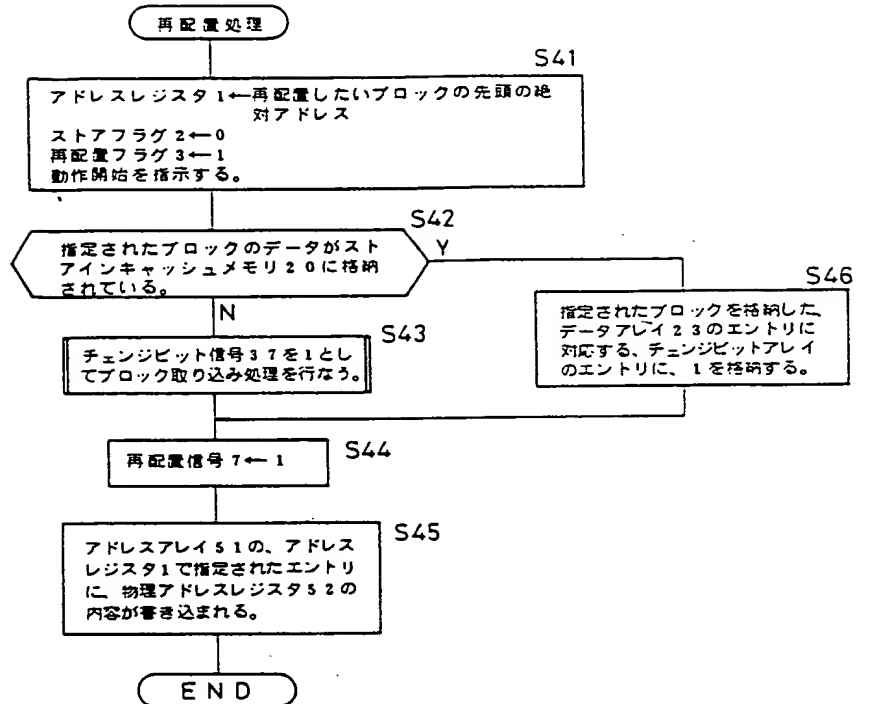
出願人 株式会社 日立製作所(ほか1名)

代理人 弁理士 富田和子

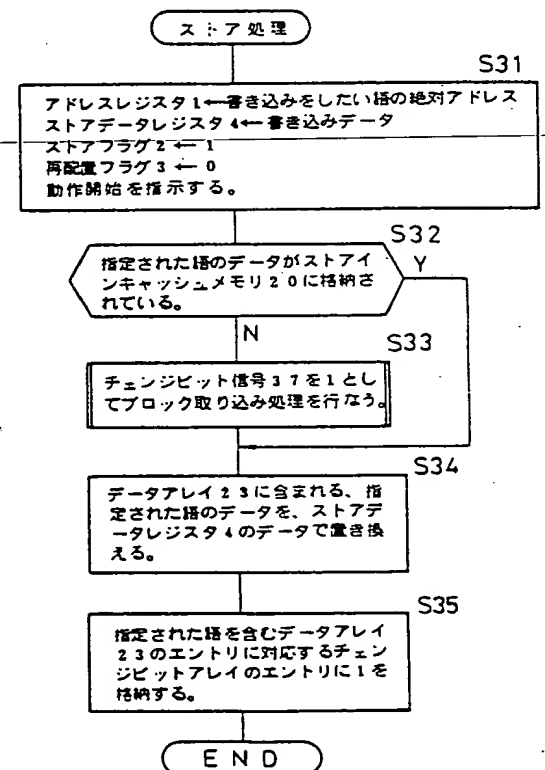
第4A図



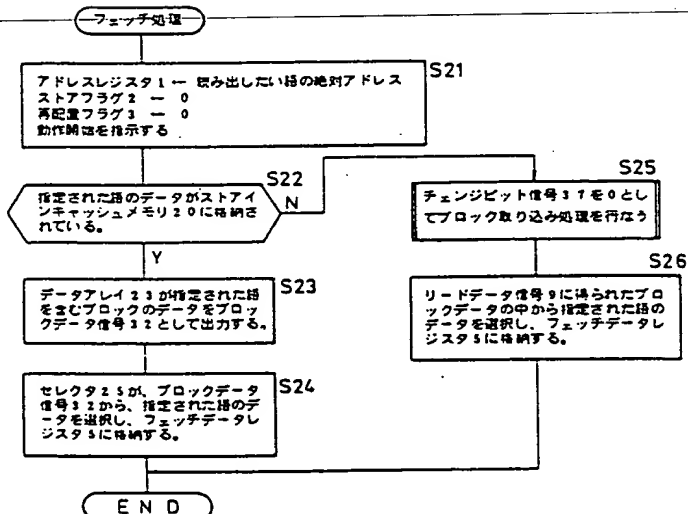
第4D図



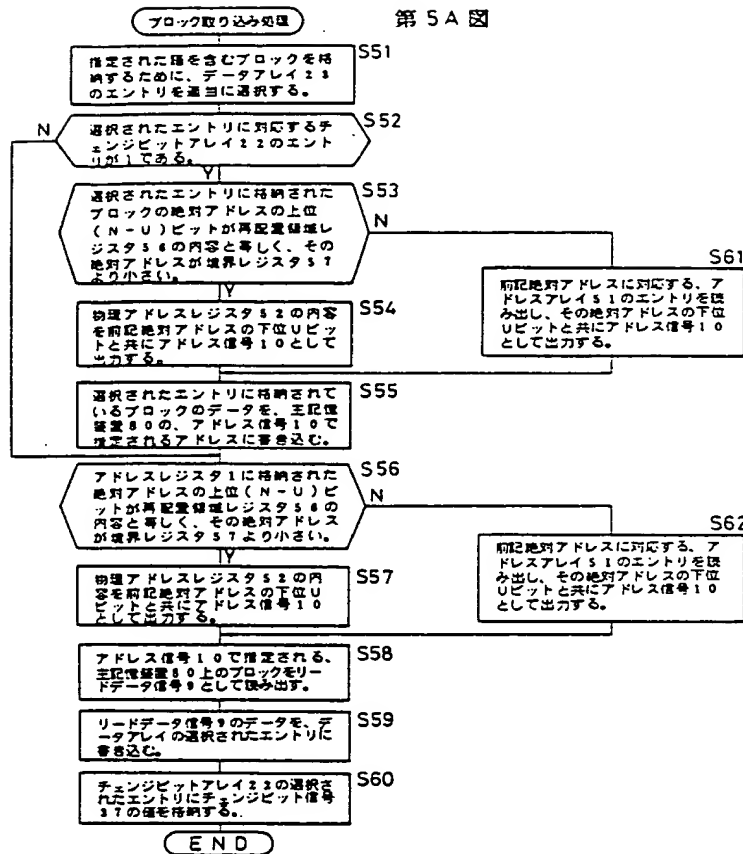
第4C図



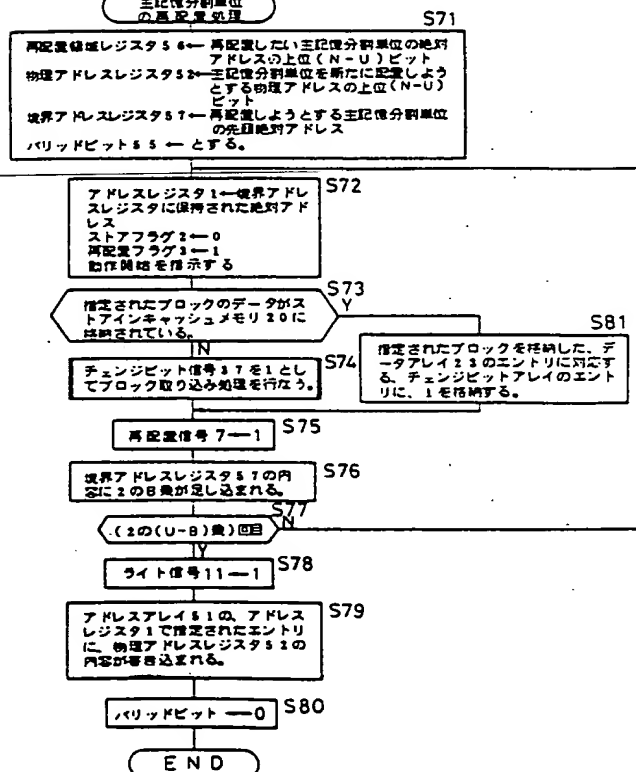
第4B図



第5A図



第5B図

主記憶分割単位
の再配置処理

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.